Effektive Fehlersuche an USB-3.1- und PCIe-Schnittstellen

Das 6-GHz-Oszilloskop R&S®RTO führt Messungen an schnellen digitalen Schnittstellen wie USB 3.1 Gen. 1 und PCIe 2.0 mit Datenraten bis 5 Gbit/s durch. Damit ist es ideal zum Prüfen der Signalintegrität an den Highspeed-Datenleitungen sowie für die Fehlersuche auf der Protokollebene.

Klarer Trend: Integration schneller Kommunikationsschnittstellen

Steigende Datenmengen sowie deren wachsende Verarbeitungs- und Austauschgeschwindigkeiten stellen Entwickler beim Board-Design vor immer größere Herausforderungen. Die am häufigsten verwendeten schnellen Datenschnittstellen sind die DDR-Speicherschnittstellen (DDR2, 3 und 4 einschließlich der Low-Power-Varianten) sowie die seriellen Kommunikationsschnittstellen USB und PCI Express (PCIe).

USB ist mittlerweile omnipräsent, die Anwendungen reichen vom traditionellen PC- und Consumerelektronikbereich bis hin zur Automotive-, Industrie- oder Medizintechnik. Die Stärken der USB-Schnittstelle sind neben den gesteigerten Datenraten von 5 Gbit/s beim Standard 3.1 Gen. 1 (Superspeed) sowie von 10 Gbit/s bei Gen. 2 (Superspeed+) auch verbesserte Stromversorgungs- und Ladefunktionen durch die Power-Delivery-Spezifikation. Eine weitere wichtige Innovation ist das vereinheitlichte Stecksystem. Der schlanke, auch für Mobilgeräte geeignete USB-Stecker Typ C™ erlaubt beliebige Steckorientierung, hohe Datenraten und eine erhöhte Leistungsaufnahme von bis zu 100 W (bei 5 A und 20 V Power-Delivery-Modus). Zudem unterstützt er außer dem USB-Standard auch Display-Port und Thunderbold.

Auch die PCIe-Schnittstelle findet immer mehr Verbreitung. Ursprünglich für die Computerindustrie entwickelt, ist sie heute auch in vielen Embedded-Anwendungen zur Anbindung zusätzlicher Geräte und Komponenten an die Recheneinheit oder zur Konvertierung von USB oder UART nach PCIe zu finden. Die leistungsstarke PCIe-Version Gen. 4 steht kurz vor der Einführung und bietet eine maximale Datenrate von 16 GT/s. Für Embedded-Anwendungen eignen sich aber auch Schnittstellen der ersten und zweiten Generation, die mit 2,5 GT/s beziehungsweise 5 GT/s operieren. Generell muss jede neue Schnittstellengeneration auch die Operationsmodi der früheren Generationen unterstützen. Deshalb findet man heute häufig Geräte, die Schnittstellen der Generation 2 oder 3 proklamieren, jedoch in der dedizierten Anwendung nur die maximale Datenrate von 2,5 GT/s der ersten Generation verwenden und bei dieser auch getestet werden müssen.

Herausforderung Signalintegrität

Die sichere Datenübertragung über eine digitale serielle Schnittstelle wie USB oder PCIe beruht im physikalischen Layer auf der fehlerfreien Weitergabe binärer Signale. Entscheidend in der Übertragungskette sind Sender, Übertragungsleitung und Empfänger. An diesen Komponenten muss der Entwickler die Signalkonformität mit den entsprechenden Schnittstellenstandards sicherstellen.

In der Praxis liegt die Herausforderung hauptsächlich im Board-Design. Einerseits ist die Signalintegrität auf Übertragungsleitungen zu beachten, da beispielsweise Stecker, Durchkontaktierungen (Vias) oder Relais die Signalübertragung über PCB-Leitungen oder Kabel beeinflussen. Andererseits muss die schnelle Datenschnittstelle auch vor Störungen durch nahegelegene Baugruppen geschützt werden. Sind beispielsweise benachbarte Signalleitungen zu dicht angeordnet, kann es zu Übersprechen kommen, obwohl USB und PCIe differenzielle Signale verwenden.

Sender und Empfänger sind in den meisten Fällen Standardkomponenten, deren Spezifikation der Hersteller geprüft hat. Es kann aber zu Fehlern in der Beschaltung sowie zu Problemen bei der Güte und Stabilität des Referenztakts oder der Spannungsversorgung kommen, sodass diese ebenfalls bei während der Board-Entwicklung getestet werden müssen.

Signalintegrität sicherstellen mit Augendiagramm und Histogramm

Für die Bewertung der Signalqualität ist die Darstellung des digitalen Signals im Augendiagramm eine effektive Methode. Die Signal-Bits werden dazu einzeln übereinander geschrieben und visuell akkumuliert. Durch die verschiedenen Bit-Übergänge von 0 zu 1 und 1 zu 0 entsteht das typische Augendiagramm (BILD 1). In diesem sind eine Vielzahl der Güteparameter einer Signalübertragung ablesbar, beispielsweise in der horizontalen Achse die zeitliche Augenöffnung und der Jitter an den Augenseiten (Bit-Übergänge) sowie in der vertikalen Achse die vertikale Augenöffnung und das Rauschen.

Schnittstellenstandards für USB und PCIe definieren Masken für Augendiagrammtests, mit denen leicht geprüft werden kann, ob eine festgelegte minimale Augenöffnung gegeben

Augendiagramm

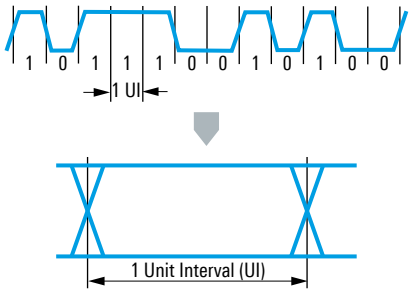
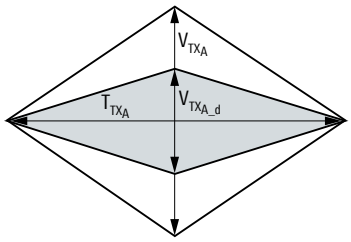


BILD 1: Bildung eines Augendiagramms aus einem Datensignal (UI = 1/Datenrate).

Definition einer Augenmaske



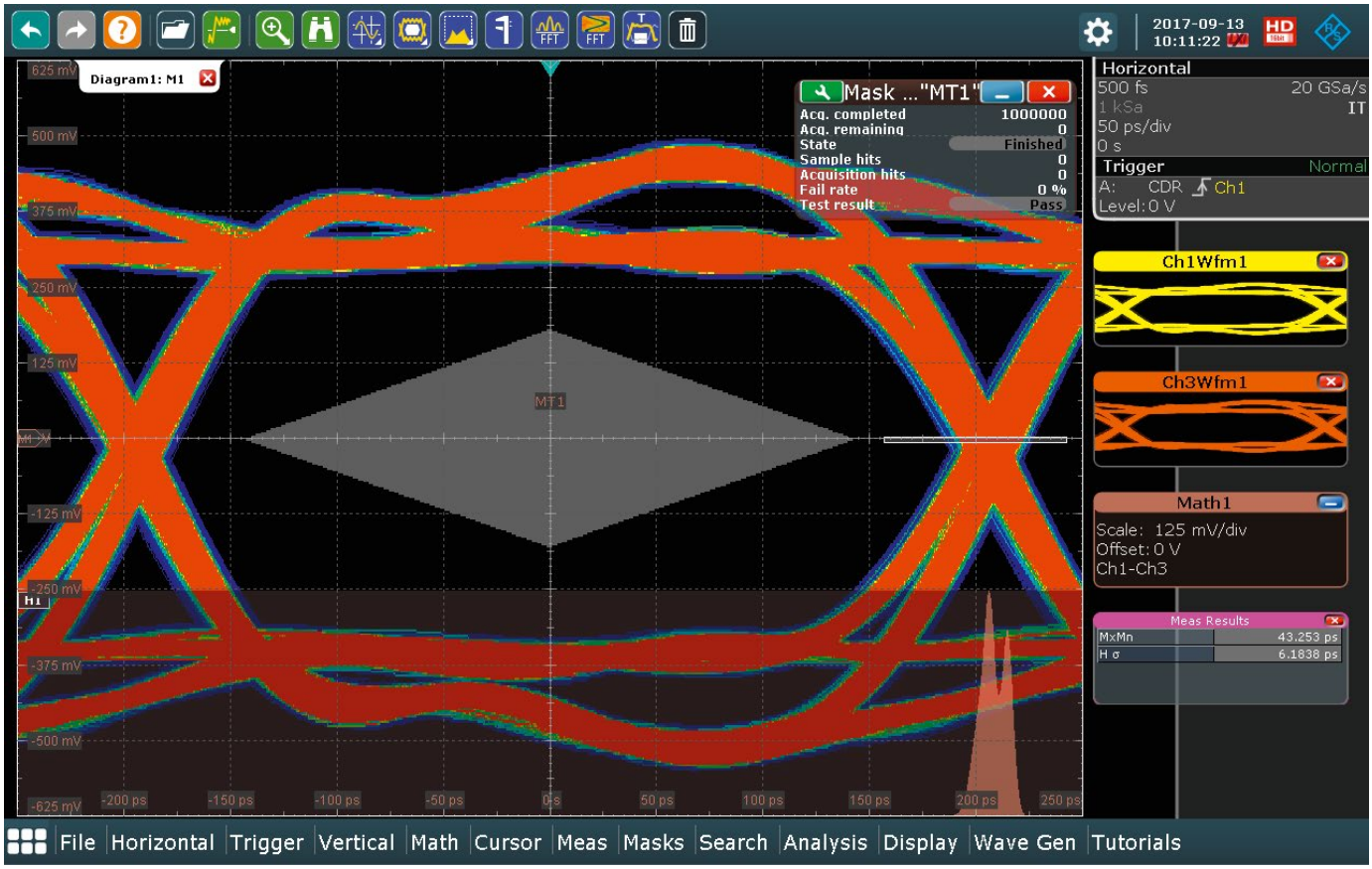
Parameter	Min.	Max.	Unit
V_{TXA}	514	1200	mV
V_{TXA_d}	360		mV
T_{TXA}	287		ps

BILD 2: Augenmaske aus der Spezifikation für PCIe 2.0 (Modus 2,5 GT/s).

ist, die für eine zuverlässige Datenübertragung garantiert werden muss. BILD 2 zeigt ein Beispiel aus der Spezifikation PCIe CEM Gen. 2 mit der Datenrate 2,5 Gbit/s.

Schaltungsentwickler erhalten durch ergänzende Histogramme horizontal durch die Bit-Flanken und vertikal durch die Augenmitte wertvolle Details über die Verteilung des Jitters und des Amplitudenrauschens. Eine entsprechende Beispielmessung mit dem 6-GHz-Oszilloskop R&S®RTO zeigt BILD 3. Das Messsignal kommt von einer PC-Einsteckkarte mit einer Schnittstelle des Typs PCIe Gen. 2 (Modus 2,5 GT/s). Das R&S®RTO erfasst Messkurven um ein Vielfaches schneller als andere Geräte am Markt und kann deshalb innerhalb von Sekunden mehrere Millionen Bits erfassen und für die Darstellung im Augendiagramm nutzen. Die farbliche Häufigkeitsdarstellung (Persistence) macht häufige und seltene

BILD 3: Augendiagramm eine Signals entsprechend PCIe Gen. 2 (2,5 GT/s) mit Maskentest und Histogramm, gemessen mit dem Oszilloskop R&S®RTO2064.



Signalverläufe sichtbar. In der Augenmitte ist eine Maske entsprechend der PCIe-Spezifikation platziert. Die Software erfasst Augenverletzungen und zeigt Details wie die Anzahl der erfassten Messkurven und Maskenverletzungen sowie die entsprechenden Fehlerraten. Im Histogramm an der rechten Augenflanke ist außerdem eine gaussförmige Jitterverteilung zu sehen. Am Histogramm sind weitere Messungen wie Peak-Peak-Jitter (Max-Min) oder RMS-Jitter (S-dev) möglich.

CDR-Trigger für schnelle Augendiagramm-Tests

Die zeitlich korrekte Überlagerung der Bitsequenzen für das Augendiagramm bedarf einer zeitlichen Referenz. Bei parallelen Datenschnittstellen wie beispielsweise DDR-Speichern wird dazu außer den Daten ein Taktsignal übertragen, das für jedes Datenbit den genauen Zeitpunkt für Anfang und Ende der Übertragung vorgibt. Bei seriellen Datenbussen wie USB oder PCIe ist der Referenztakt in das Datensignal eingebettet (embedded clock) und muss auf der Empfängerseite per Taktrückgewinnung (Clock Data Recovery – CDR) extrahiert werden. Das daraus gewonnene Taktsignal verwendet der Empfänger zum Abtasten des eingehenden Datenstroms. Die CDR benutzt eine Regelkomponente wie PLL (Phase-Locked Loop) oder DLL (Delay-Locked Loop), um Frequenzschwankungen – typischerweise kleiner 1 MHz bis 10 MHz – zu folgen. Diese Fähigkeit, Frequenzschwankungen auszugleichen, ist für eine stabile Datenübertragung hervorragend, erschwert jedoch die Tests. Der traditionelle Ansatz, den Takt des Messgeräts als Referenz zu verwenden, reduziert die Testmarge oder macht das Testen sogar unmöglich. Einige Standards setzen zudem Frequenzmodulation wie beispielsweise das Spread Spektrum Clocking von PCIe (~30 kHz Dreiecksmodulation) ein, um die elektrische Emission zu reduzieren.

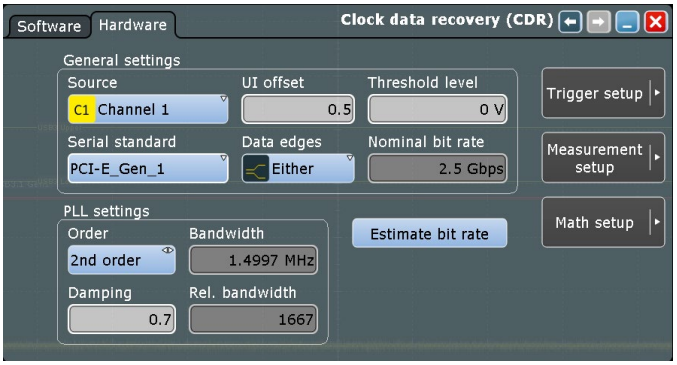


BILD 4: Die konfigurierbare Hardware-CDR des Oszilloskops R&S®RTO.

Aus all diesen Gründen ist für erfolgreiche Tests an Embedded-Clock-Signalen auch das Verhalten der Empfänger-CDR zu berücksichtigen. Anwender des Oszilloskops R&S®RTO sind hier im Vorteil, denn das Gerät verwendet zur Darstellung des Augendiagramms mit der Option R&S®RTO-K13 eine hardwarebasierte CDR. Deren Verhalten ist hinsichtlich PLL-Ordnung, Regelbandbreite und Dämpfungsfaktor programmierbar, sodass Tests nach verschiedenen Protokollspezifikationen möglich sind, die die im Empfänger verwendete CDR im Detail beschreiben (BILD 4). Beim Einsatz dieser Hardware-CDR-Option wird als Triggerquelle das von der CDR extrahierte Taktsignal verwendet (BILD 5) und damit die zeitliche Synchronität der Datenbits zu den Embedded-Clock-Signalen sichergestellt. Mit einem UI-Offset von 0,5 ist der Triggerzeitpunkt in der Augenmitte justierbar (BILD 4).

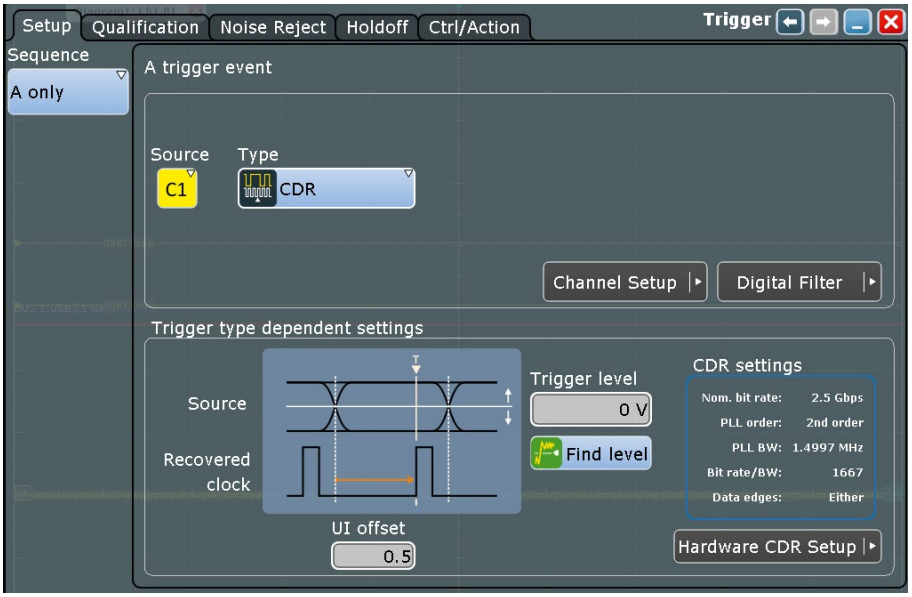


BILD 5: Verwendung der Clock Data Recovery (CDR) als Triggerquelle beim Einsatz der hardwarebasierten CDR-Option R&S®RTO-K13.

Aufgrund der hohen Erfassungsrate des R&S®RTO von bis zu 1 Million Messkurven pro Sekunde werden mit der in Hardware implementierten CDR sehr schnell viele Datenbits zu einem Augendiagramm übereinandergelegt, sodass die Ergebnisse eine hohe statistische Sicherheit aufweisen. Traditionelle softwarebasierte CDR-Analysen werden erst in der Nachverarbeitung der einzelnen Messkurven ausgeführt und kosten deshalb mehr Zeit. Ein weiterer Vorteil der R&S®RTO-Lösung ist, dass ihre Hardware-CDR kontinuierlich läuft und ihr Verhalten bei allen Messkurvenerfassungen konsistent ist. Dagegen muss sich der PLL-Algorithmus einer softwarebasierten CDR bei jeder Akquisition neu einschwingen, wodurch die Samples am Anfang der Messkurve unbrauchbar sind.

Fehler vermeiden beim Kontaktieren

Entscheidend für zuverlässige Ergebnisse bei Messungen schneller Signale ist die richtige Kontaktierung des Tastkopfs. Die modularen Tastköpfe von Rohde & Schwarz, wie der Breitbandtastkopf R&S®RT-ZM, unterstützen mit einer Vielzahl von Tip-Modulen unterschiedliche Kontaktierungsmöglichkeiten (BILD 6). Die am meisten verbreitete Methode ist das Anlöten eines Tip-Moduls (BILD 7). Generell sind bei allen Verfahren die Kontakte so kurz wie möglich zu halten, um zusätzliche Induktivitäten und Kapazitäten zu minimieren. Dies gilt auch für Lötverbindungen, die Lötkontakte sollten nicht länger als zwei bis drei Millimeter sein.

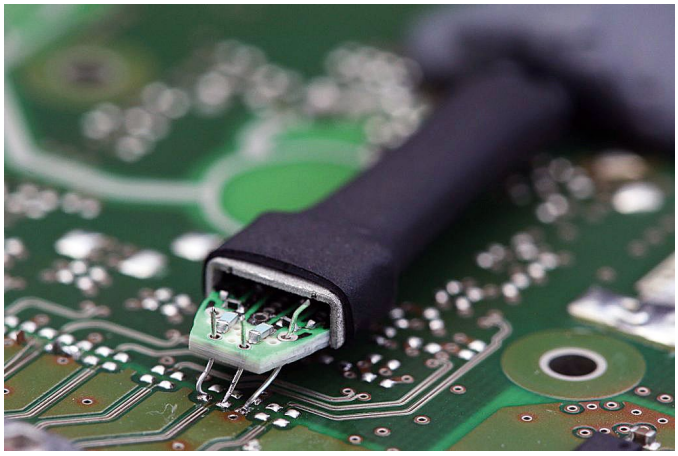
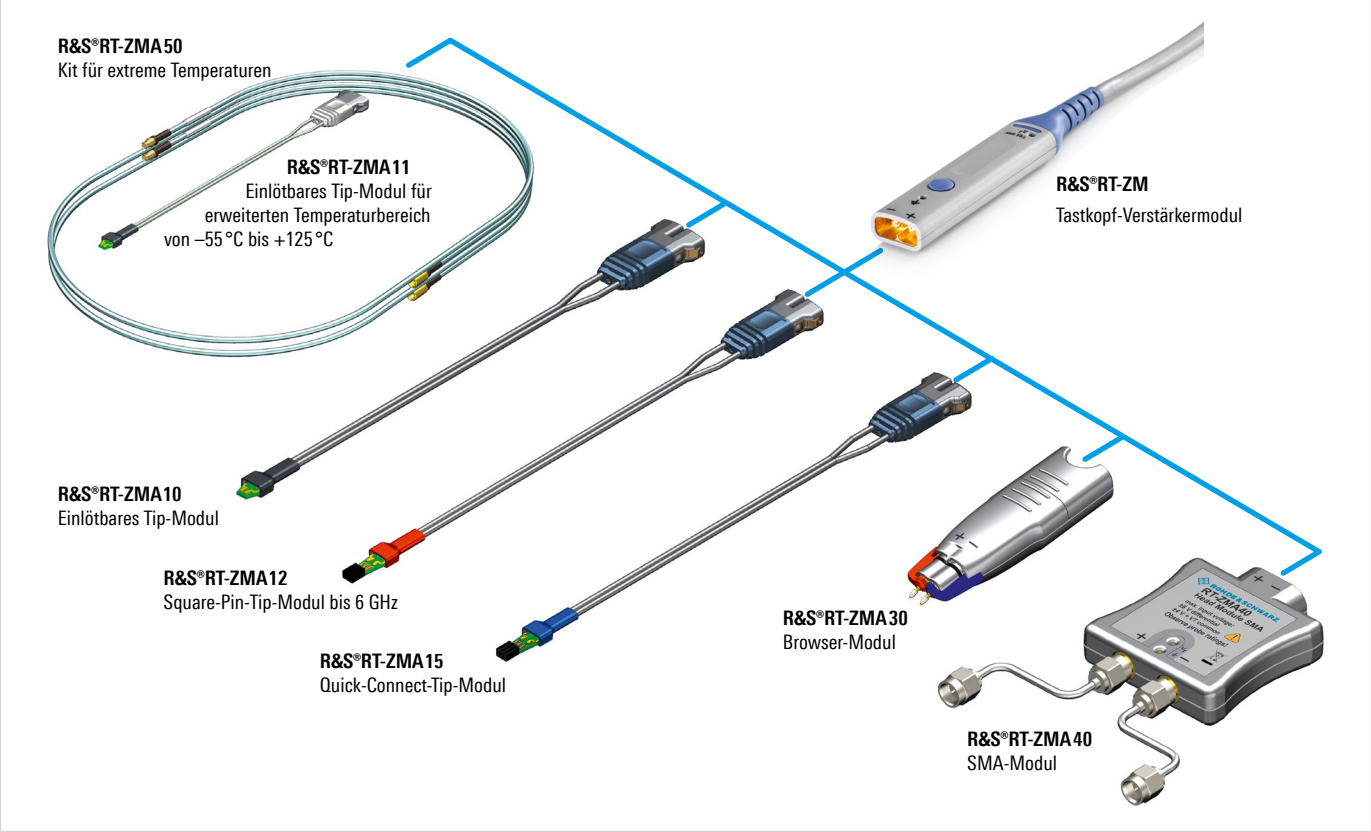


BILD 7: Kontaktierung einer Highspeed-Schnittstelle mittels angelötetem Tip-Modul R&S®RT-ZMA10.

BILD 6: Auswahl an Tip-Modulen für den modularen Breitbandtastkopf R&S®RT-ZM.



Schnelle Datenschnittstellen verwenden überwiegend differenzielle Leitungen für die Signalübertragung. Die beiden Signale U_P und U_N werden mit einem differenziellen Tastkopf entsprechend abgegriffen. Eine zusätzliche Masseverbindung ist dringend zu empfehlen, damit eine stabile und zuverlässige Messumgebung mit minimierten parasitären Effekten und guter Gleichtaktunterdrückung (Common Mode Rejection Ration – CMRR) gewährleistet ist [*].

Kontaktiert man den Breitbandtastkopf R&S®RT-ZM außer mit den U_P- und U_N-Signalen auch mit der Masse, hat man durch die MultiMode-Funktionalität des Oszilloskops den Vorteil, neben der differenziellen Messung auch leicht zu einer massebezogenen Messung jeweils an U_P und U_N, beziehungsweise zu einer direkten Messung der Gleichtaktspannung wechseln zu können, ohne die Kontaktierung zu ändern (BILD 8).

Konformitätstests für USB und PCIe

Standardisierungskomitees wie das USB Implementers Forum (USB-IF) oder PCISig definieren Konformitätstests für die entsprechenden Datenschnittstellen. Diese Tests fordern für Signalintegritätsmessungen, dass die verwendeten Oszilloskope mit ihrer Gerätebandbreite typischerweise die fünfte Harmonische des Datensignals abdecken. Das heißt beispielsweise für ein USB-Highspeed-Datensignal mit einer Datenrate von 480 Mbit/s, dass ein geeignetes Oszilloskop eine minimale Bandbreite von 1,2 GHz haben muss (480 Mbit/s entsprechen einer Frequenz von 240 MHz, multipliziert mit 5). Das Oszilloskop R&S®RTO mit 6 GHz Bandbreite unterstützt somit Konformitätstests bis zu einer maximalen Datenrate von 2,5 Gbit/s. Rohde&Schwarz offeriert für solche Tests Softwareoptionen, die den Anwender durch die Messungen führen und anschließend die Ergebnisse in einem Report darstellen (BILD 9). Für USB 2.0 ist die Option R&S®RTO-K24 verfügbar, für PCIe deckt die Option R&S®RTO-K81 Konformitätstests der Schnittstellengeneration 1 und 2 bis zu einer maximalen Datenrate von 2,5 Gbit/s ab.

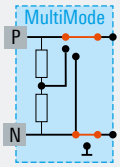
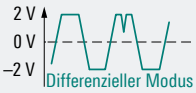
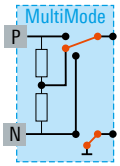
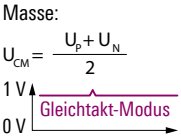
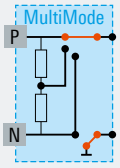
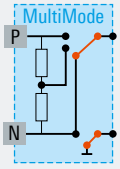
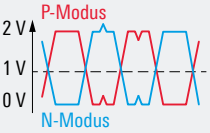
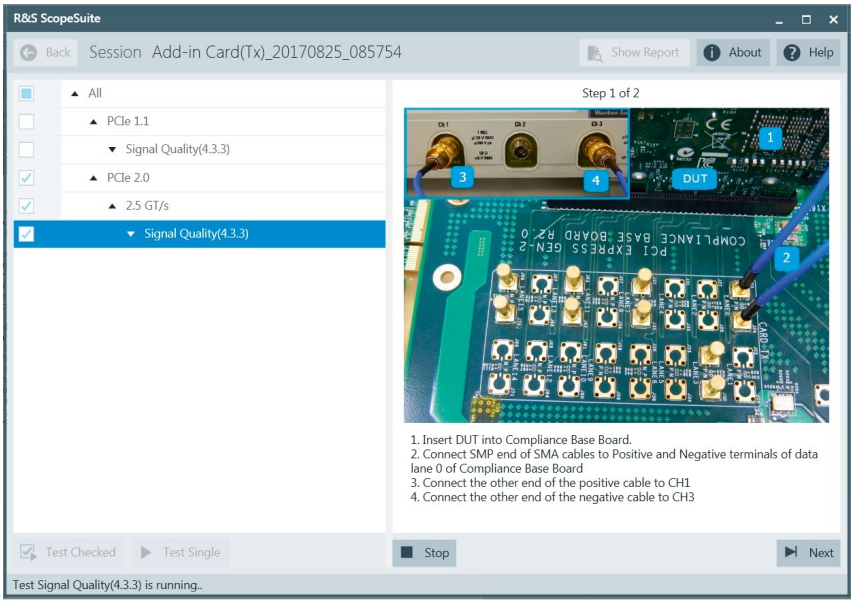
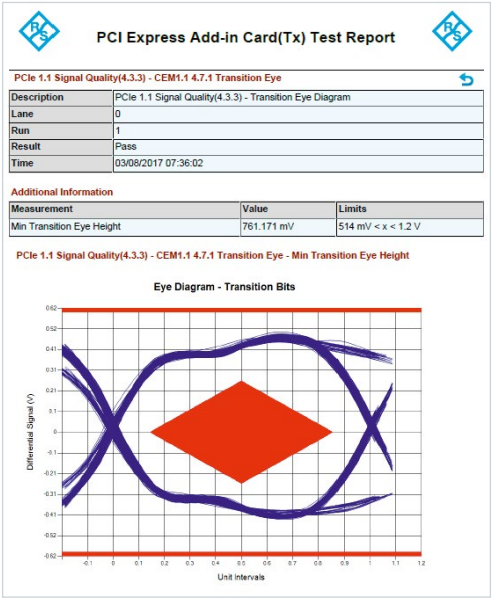
Messmodus			Beschreibung
Differenzieller Modus (DM)			Spannung zwischen P- und N-Kontakt: $U_{DM} = U_P - U_N$ 
Gleichtakt-Modus (CM)			Mittensignalspannung zwischen P- und N-Kontakt gegen Masse: $U_{CM} = \frac{U_P + U_N}{2}$ 
Single-ended-Modi	Single-ended P 	Single-ended N 	Spannung zwischen P- oder N-Kontakt und Masse 

BILD 8: MultiMode-Konfigurationen des Breitbandtastkopfs R&S®RT-ZM.

BILD 9: Beispiel für einen schrittweise angeleiteten PCIe-Konformitätstest (links) und der ausführliche Report.





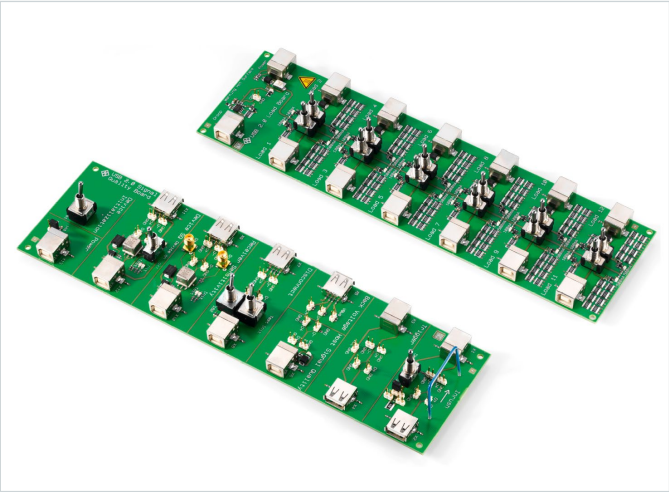


BILD 10: Testfixture-Set für USB 2.0 von Rohde & Schwarz.

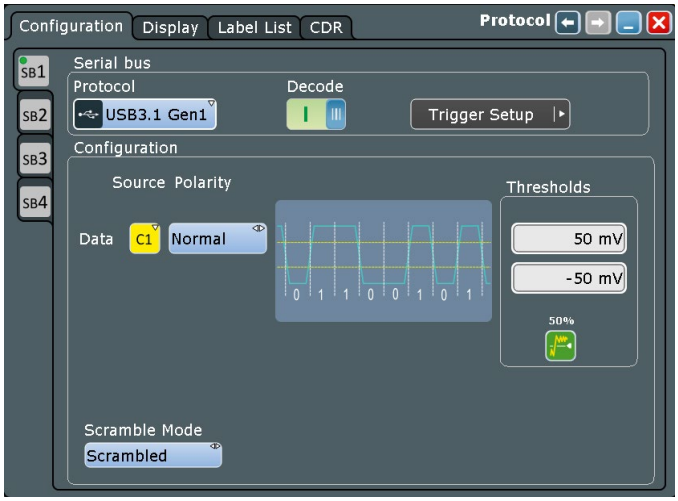


BILD 11: Konfigurationsdialog für die Decodierung von USB 3.1 Gen.1 mit der Option R&S®RTO-K61.

Die Kontaktierung der Messobjekte für die Konformitätstests erfolgt über Testfixtures. Für USB-2.0-Tests hat Rohde & Schwarz das Testfixture-Set R&S®RT-ZF1 im Programm (BILD 10), das die unterschiedlichen Testumgebungen und entsprechende Kontaktierungen für die Highspeed- und Legacy-Tests für USB-Geräte, -Hubs und -Hosts unterstützt. Speziell für den Highspeed-Signal-Quality-Test ist zusätzlich das nur von der USB.org erhältliche „USB 2.0 Hi-Speed-Signal-Quality Test Fixture"-Set erforderlich.

Zertifizierte Testfixtures für PCIe sind generell nur vom PCISig-Konsortium erhältlich, und zwar sowohl für den Test von PCIe-Motherboards (PCI Express Compliance Load Board – CLB), als auch für Add-in Cards (PCI Express Compliance Base Board – CBB). Die CLB- / CBB-Testfixtures gibt es für die jeweiligen PCIe-Generationen. Die Fixtures der höheren Generationen unterstützen die vorhergehenden.

Fehlersuche bei der Inbetriebnahme mithilfe von Protokolltriggerung und Decodierung

Bei der Inbetriebnahme von Schaltungen mit USB- oder PCIe-Schnittstellen spielt neben der Kontrolle der Signalintegrität auch die Protokolldatenanalyse eine wichtige Rolle. Typischerweise zeigen sich Fehler häufig beim Aufbau der Schnittstellenverbindung zwischen Sender und Empfänger oder beim Empfang fehlerhafter Daten. Serielle Schnittstellen wie USB oder PCIe durchlaufen beim Verbindungsaufbau eine Handshake-Prozedur, in der sich beide Übertragungspartner über ihre Fähigkeiten bezüglich Datenrate etc. abstimmen und entsprechende Übertragungsfunktionen vereinbaren.

Mithilfe einer Protokolldecodieroption für das Oszilloskop R&S®RTO können Entwickler die Abläufe im Detail erfassen und auswerten. Durch gezielte Triggerung auf einzelne Protokollelemente lassen sich Daten von anderen Schnittstellen und Funktionsblöcken aufzeichnen und im zeitlichen Zusammenhang analysieren.

Als Beispiel dient die Protokollanalyse an einer Schnittstelle nach USB 3.1 Gen.1 mit der Trigger- und Decodier-Option R&S®RTO-K61. BILD 11 zeigt, wie einfach die Konfiguration der Decodierung ist. Der Anwender wählt den Kanal und die Polarität des differenziellen Signals (sehr wichtig, falls eine Invertierung des Signals bei verdreht angelötetem Tastkopf erforderlich ist) und muss dann nur noch sicherstellen, dass die Schaltschwellenwerte für die logische Eins und Null sicher in der Mitte des Datensignals liegen, um zuverlässige Decodierergebnisse zu erzielen. Die Software definiert selbstständig dem jeweiligen USB-Standard entsprechend die PLL-Konfiguration für die Taktrückgewinnung. Pro Messkurvenakquisition bestimmt sie im nächsten Schritt, basierend auf dem extrahierten Embedded-Clock-Signal als Taktreferenz, die Bit- und Wortgrenzen, um letztendlich die Decodierung durchzuführen.

Das Ergebnis ist exemplarisch in BILD 13 dargestellt. Im oberen Teil sind Daten-Bursts mit einem Zoom auf Datendetails zu sehen. Die dazugehörige Decodierung ist im mittleren Bildteil angeordnet, der Zoom zeigt hier Protokolldetails. Zur leichteren Lesbarkeit sind die einzelnen Protokollelemente farblich unterschieden. Protokolldaten können auch in einer Tabelle aufgelistet werden. Für jeden Datenframe stehen weitere Protokolldetails zur Verfügung.

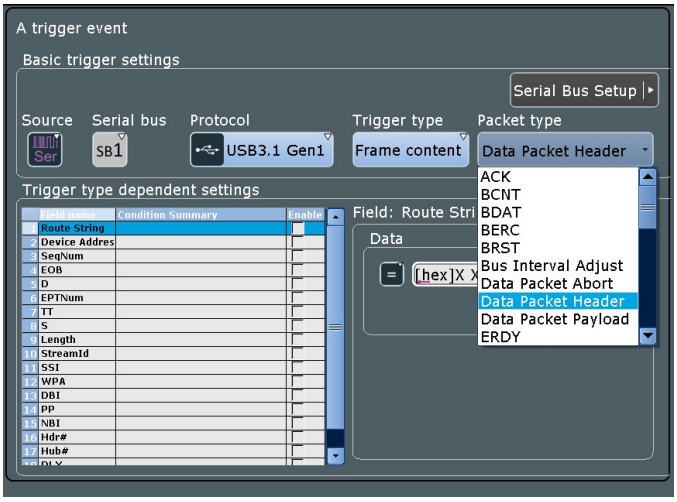


BILD 12: Trigger-Definition auf einen Data Packet Header gemäß USB 3.1 Gen.1.

Neben der Protokolldecodierung ist zusätzlich eine Triggerung auf Protokolldetails möglich. Wie in BILD 12 gezeigt, kann aus einer Vielzahl von Protokollelementen wie Frame-Start, Frame-Inhalte oder -Fehler gewählt werden. Durch die gezielte Triggerung auf einzelne Protokollelemente können Daten von anderen Schnittstellen und Funktionsblöcken zeitkorreliert aufgezeichnet und analysiert werden. Bei dichten Embedded Designs sind so Querstörungen von anderen Funktionseinheiten wie seriellen Schnittstellen, analogen Sensoren, Funkschnittstellen, Spannungsversorgungen, etc. aufspürbar. Die Rohde & Schwarz-Oszilloskope unterstützen solch komplexe Fehlersuche mit ihrer Multi-Domain-Fähigkeit. Diese verbindet die traditionelle Zeitbereichsanalyse eines Oszilloskops mit zusätzlicher Funktionalität für Protokoll-, Logik- und Spektrumanalyse und sogar Funktions- und Patterngeneratoren – alles in einem Gerät.

Fazit

Die Integration schneller Datenbusse stellt Schaltungsentwickler beim Design und bei den Tests vor neue Herausforderungen. Rohde & Schwarz bietet mit dem 6-GHz-Modell R&S®RTO und modularen Breitbandtastköpfen eine kompakte Testlösung, die bei der effektiven Fehlersuche bezüglich Signalintegrität und Protokolldatenanalyse unterstützt. Die hohe Erfassungsrate, leistungsstarke Analysewerkzeuge wie Maskentest und Histogramm sowie eine Vielzahl an Optionen wie die Hardware-CDR oder die Protokolltrigger und -Decodierungen führen zu schnellen Ergebnissen.

Guido Schulze

Referenzen

* AppCard „Optimized differential measurements of high speed interfaces“.

BILD 13: Beispiel zur Decodierung von Daten gemäß USB 3.1 Gen1.